

XA-10062
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Hisakazu DATE

Appln. No.: 10/807,446

Group Art Unit: 2133

Filed: March 24, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

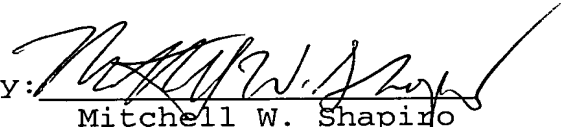
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims the priority of Japanese Patent Application No. 2003-094843 filed March 31, 2003, and submit herewith a certified copy of said application.

Respectfully submitted,

By:


Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

August 4, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 4 8 4 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 4 8 4 3]

願 人 株式会社日立製作所
Applicant(s):

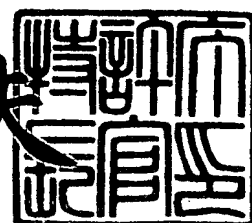
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H03002331

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 伊達 寿和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 組み合わせ回路と、上記組み合わせ回路のスキャンテストを可能とするスキャン診断回路とを含む半導体集積回路であって、

上記スキャン診断回路は、クロック信号に同期動作可能な複数のスキャンフリップフロップ回路が結合された第 1 スキャンチェーン部と、

上記第 1 スキャンチェーン部の後段に配置され、クロック信号に同期動作可能な複数のスキャンフリップフロップ回路が結合された第 2 スキャンチェーン部と

、
上記第 1 スキャンチェーン部を伝搬するスキャンテストデータの伝搬方向とは逆の方向からクロック信号を供給可能な第 1 クロックバッファと、

上記第 2 スキャンチェーン部を伝搬するスキャンテストデータの伝搬方向とは逆の方向からクロック信号を供給可能な第 2 クロックバッファと、

上記第 1 スキャンチェーン部内の上記第 1 クロックバッファに最も近い位置に配置されたスキャンフリップフロップ回路から出力されたスキャンテストデータを、上記第 2 スキャンチェーン部内の上記第 2 クロックバッファから最も遠い位置に配置されたスキャンフリップフロップ回路に伝達するための折り返し部と、
を含んで成ることを特徴とする半導体集積回路。

【請求項 2】 上記折り返し部は、上記クロック信号の伝搬ラインよりも細い配線層で形成された請求項 1 記載の半導体集積回路。

【請求項 3】 多層化された配線層を有し、配線層によって単位長さ当たりの抵抗値が異なるとき、上記折り返し部は、上記クロック信号の伝搬ラインが形成された配線より上記抵抗値が高い配線を使用して形成される請求項 1 記載の半導体集積回路。

【請求項 4】 上記折り返し部におけるスキャンテストデータ伝搬経路上には遅延素子の挿入可能領域が確保され、この領域に上記遅延素子が挿入されて成る請求項 1 乃至 3 の何れか 1 項記載の半導体集積回路。

【請求項 5】 上記第 1 クロックバッファの出力信号を遅延可能なスキャン

テスト用クロックバッファと、上記スキャンチェーン回路によるスキャンテスト時に、上記第1クロックバッファからの出力信号に代えて上記スキャンテスト用クロックバッファの出力信号を上記第1スキャンチェーン部に伝達可能なセレクトを含む請求項1乃至4の何れか1項記載の半導体集積回路。

【請求項6】 回路のスキャンテストを可能とするスキャン診断回路を含む半導体集積回路であって、

上記スキャン診断回路は、クロックバッファと、上記クロックバッファからクロック信号を供給可能なエリアにおいて分散配置された複数のスキャンフリップフロップとを含み、上記クロックバッファから上記スキャンフリップフロップ回路までのクロック信号の遅延時間の大きいスキャンフリップフロップ回路から順にスキャンチェーン接続が行われて成ることを特徴とする半導体集積回路。

【請求項7】

組み合わせ回路と、上記組み合わせ回路のスキャンテストを可能とするスキャン診断回路とを含む半導体集積回路であって、

上記スキャン診断回路は、

第1クロック信号線が接続される複数の第1フリップフロップ回路と、

第2クロック信号線が接続される複数の第2フリップフロップ回路と、

上記第1クロック信号線に接続される第1クロックバッファと、

上記第2クロック信号線に接続される供給する第2クロックバッファとを有し

上記第1クロックバッファは、上記第1クロック信号線に第1クロック信号を供給し、

上記第2クロックバッファは、上記第2クロック信号に第2クロック信号を供給し、

上記複数の第1フリップフロップ回路は、第1方向に延在する第1仮想線上に設けられるとともに、上記スキャンテスト時に上記複数の第1フリップフロップ回路の一端から他の一端にデータが転送され、

上記複数の第2フリップフロップ回路は、上記第1仮想線に平行である第2仮想線上に設けられるとともに、上記スキャンテスト時に上記複数の第2フリップ

フリップ回路の一端から他の一端にデータが転送され、

上記複数の第 1 フリップフリップ回路の他の一端から出力されるデータは、上記複数の第 2 フリップフリップ回路の一端に入力され、

上記第 1 クロックバッファは、上記第 1 クロックバッファと上記複数の第 1 フリップフリップの他の一端との間の距離が上記第 1 クロックバッファと上記複数の第 1 フリップフリップ回路の一端との間の距離より短くなるように配置され、

上記第 2 クロックバッファは、上記第 2 クロックバッファと上記複数の第 2 フリップフリップの他の一端との間の距離が上記第 2 クロックバッファと上記複数の第 2 フリップフリップ回路の一端との間の距離より短くなるように配置されることを特徴とする半導体集積回路。

【請求項 8】

上記半導体集積回路は、上記第 1 クロックバッファと上記第 2 クロックバッファに共通にクロック信号を供給する第 3 クロックバッファを更に有することを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】

上記複数の第 1 フリップフリップ回路の他の一端と上記複数の第 2 フリップフリップ回路の一端とを接続する配線の抵抗値は、上記第 1 クロック信号線及び上記第 2 クロック信号線の抵抗値より大きいことを特徴とする請求項 7 記載の半導体集積回路。

【請求項 10】

上記複数の第 1 フリップフリップ回路の他の一端と上記複数の第 2 フリップフリップ回路の一端とを接続する配線は、上記第 1 クロック信号線及び上記第 2 クロック信号線より細いことを特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】

上記組み合わせ論理回路は、上記複数の第 1 フリップフリップ回路と上記複数の第 2 フリップフリップ回路との間に設けられることを特徴とする請求項 7 記載の半導体集積回路。

【請求項 12】

上記半導体集積回路は、上記第 2 クロックバッファに接続される第 4 クロック

バッファと、上記複数の第 2 フリップフロップ回路に上記第 2 クロックバッファから直接上記第 2 クロック信号を供給する経路と上記複数の第 2 フリップフロップ回路に上記第 2 及び第 4 クロックバッファを介して上記第 2 クロック信号を供給する経路とを選択するセレクタとを更に有することを特徴とする請求項 7 記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路、さらにはそれに含まれるスキャン診断回路の改良技術に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路に含まれる組み合わせ回路の故障を検出する方法としてスキャンテストが知られている（例えば特許文献 1 参照）。このスキャンテストを可能とするには、組み合わせ回路とともにスキャンチェーン回路（「スキャンパス回路」とも称される）を予め組み込んでおく必要がある。スキャンチェーン回路は、スキャン入力端子、スキャン出力端子、及びクロック入力端子を有する複数のスキャンフリップフロップ回路が結合されて成る。スキャンフリップフロップ回路のスキャン出力端子は、それに隣接するスキャンフリップフロップ回路のスキャン入力端子に結合されることによって多数のスキャンフリップフロップ回路がチェーン状に結合される。そのような結合により、スキャンテストのためのデータは、クロック信号に同期してスキャンフリップフロップ回路からそれに結合されたスキャンフリップフロップ回路へと順次シフトされる。

【0 0 0 3】

スキャンチェーン回路は基本的にはシフトレジスタ構成であるため、動作クロックの遷移速度がスキャンテストデータの遷移速度より遅くなると、データのホールドタイミングが不適切となる。この現象はホールド違反と称される。ホールド違反は、タイミング解析結果に基づいて部分的にディレイバッファ等の遅延素子を追加し遅延量を調整することにより解決することが知られている。スキャン

チェーン回路の面積増大を回避するために、追加する遅延素子の数は少ない方が好ましいが、スキャンチェーン回路の配線が最適化されない場合には、多くの遅延素子を追加しなければならず、そうするとスキャンチェーン回路の面積はますます増大する。また、半導体集積回路においてデータパスのような高密度実装が行われている部位では、ディレイバッファ等の遅延素子の挿入するスペースを確保するもの困難とされる。スキャンフリップフロップ回路内にディレイバッファ等の遅延素子を予め組み込んでおくことも考えられるが、そうするとスキャンフリップフロップ回路の面積が大きくなるから、スキャンチェーン回路の面積増大を伴うことに変わりはない。

【0 0 0 4】

特許文献 1 では、スキャンパス回路（スキャンチェーン回路）を組み込むことによる L S I のチップ面積の増大を最小限に抑えるため、スキャンパス回路を伝搬するスキャンテストデータの搬送方向に対して逆の方向からクロック信号を供給する位置にクロックドライバを配置するようにしている。そのような配置によれば、スキャンテストデータに対してクロック信号の遷移速度を速くできることから、ディレイバッファ等の遅延素子の挿入を必要としないため、その分、チップ面積の増大を抑えることができる。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 2 - 7 6 1 2 3 号公報（第 2 6 段落）

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、特許文献 1 記載技術においては、スキャンチェーン回路が多段に構成される場合や、スキャンフリップフロップ回路が分散配置される場合については考慮されていない。このため、スキャンチェーン回路が多段に構成される場合やスキャンフリップフロップ回路が分散配置される場合のように、スキャンチェーン回路が複雑に構成される場合にはホールド違反を生ずるおそれがある。

【0 0 0 7】

本発明の目的は、スキャン診断回路におけるホールド違反を回避するための技

術を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

すなわち、組み合わせ回路と、上記組み合わせ回路のスカンテストを可能とするスカン診断回路とを含んで半導体集積回路が構成されるとき、上記スカン診断回路は、クロック信号に同期動作可能な複数のスカンフリップフロップ回路が結合された第1スカンチェーン部と、上記第1スカンチェーン部の後段に配置され、クロック信号に同期動作可能な複数のスカンフリップフロップ回路が結合された第2スカンチェーン部と、上記第1スカンチェーン部を伝搬するスカンテストデータの伝搬方向とは逆の方向からクロック信号を供給可能な第1クロックバッファと、上記第2スカンチェーン部を伝搬するスカンテストデータの伝搬方向とは逆の方向からクロック信号を供給可能な第2クロックバッファと、上記第1スカンチェーン部内の上記第1クロックバッファに最も近い位置に配置されたスカンフリップフロップ回路から出力されたスカンテストデータを上記第2スカンチェーン部内の上記第2クロックバッファから最も遠い位置に配置されたスカンフリップフロップ回路に伝達するための折り返し部とを含んで成る。

【0011】

上記の手段によれば、上記第1クロックバッファは、上記第1スカンチェーン部を伝搬するスカンテストデータの伝搬方向とは逆の方向からクロック信号を供給し、上記第2バッファは、上記第2スカンチェーン部を伝搬するスカンテストデータの伝搬方向とは逆の方向からクロック信号を供給する。これにより、上記第1スカンチェーン部及び上記第2スカンチェーン部においては、

スキャンテストデータに対してクロック信号の遷移速度を速くできることから、そこでのホールド違反の発生を回避することができる。このとき、上記第1スキャンチェーン部内の上記第1クロックバッファに最も近い位置に配置されたスキャンフリップフロップ回路から出力されたスキャンテストデータを、上記第2スキャンチェーン部内の上記第2クロックバッファから最も遠い位置に配置されたスキャンフリップフロップ回路に伝達するための折り返し部が設けられることで、上記第1スキャンチェーン部の後段に上記第2スキャンチェーン部が配置されているように、複数のスキャンチェーン部が多段結合された場合においても、各スキャンチェーン部間でクロック信号の伝達方向を揃えることができる。そして、上記折り返し部においては、上記第1スキャンチェーン部内の上記第1クロックバッファに最も近い位置に配置されたスキャンフリップフロップ回路から出力されたスキャンテストデータを、上記第2スキャンチェーン部内の上記第2クロックバッファから最も遠い位置に配置されたスキャンフリップフロップ回路に伝達可能に設けられているため、スキャンテストデータとクロック信号の伝搬方向が同じになり、ここでホールド違反を生ずることが考えられる。しかしながら、上記第1スキャンチェーン部や上記第2スキャンチェーン部のビット幅が大きいほど、上記折り返し部による信号伝達経路は長くなり、そこでの配線抵抗値が大きくなり、そこでのホールド違反を生じにくくなる。すなわち、スキャンテストデータとクロック信号の伝搬方向が同じ場合においてホールド違反を回避するには、互いに結合された二つのスキャンフリップフロップ回路間の遅延時間を、当該二つのスキャンフリップフロップ回路のクロックスキュー差とスキャンフリップフロップ回路のホールド時間との和よりも大きくすればよいから、上記のように上記折り返し部による信号伝達経路が長くなり、そこでの配線抵抗値が大きくなれば、そこで十分な遅延時間を確保することができ、上記折り返し部でのホールド違反をも回避することができる。

【0012】

上記折り返し部における配線抵抗を大きくするため、上記クロック信号の伝搬ラインよりも細い配線層で形成すると良い。また、多層化された配線層を有し、配線層によって単位長さ当たりの抵抗値が異なるとき、上記折り返し部は、上記

クロック信号の伝搬ラインが形成された配線より上記抵抗値が高い配線を使用し
て形成すると良い。

【0013】

上記折り返し部における配線抵抗によって十分な遅延時間を確保することがで
きない場合には、上記折り返し部のスキャンテストデータ伝搬経路上に確保され
た遅延素子挿入可能領域に、上記遅延素子を挿入することによってホールド違反
の発生を回避することができる。上記遅延素子挿入可能領域は、データパス以外
の部位に予め確保しておき、遅延素子の挿入の必要性が生じた場合に、上記領域
を利用して遅延素子を形成するようにすれば、遅延素子の挿入は容易となる。

【0014】

さらに、上記第1クロックバッファの出力信号を遅延可能なスキャンテスト用
クロックバッファと、上記スキャンチェーン回路によるスキャンテスト時に、上
記上記第1クロックバッファからの出力信号に代えて上記スキャンテスト用クロ
ックバッファの出力信号を上記第1スキャンチェーン部に伝達可能なセレクトを
設けることができる。

【0015】

そして、クロックバッファと、上記クロックバッファからクロック信号を供給
可能なエリアにおいて分散配置された複数のスキャンフリップフロップとを含む
場合には、上記クロックバッファから上記スキャンフリップフロップ回路までの
クロック信号の遅延時間の大きいスキャンフリップフロップ回路から順にスキャ
ンチェーン接続を行うことで、スキャンテストデータに対してクロック信号の遷
移速度を速くできることから、ホールド違反の発生を回避することができる。

【0016】

【発明の実施の形態】

図1には、本発明にかかる半導体集積回路の主要部が示される。この半導体集
積回路は、所定の論理演算機能を有する組み合わせ回路100と、この組み合わ
せ回路100の故障を検出可能なスキャン診断回路200とを含み、公知の半導
体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成
される。

【 0 0 1 7 】

上記スキャン診断回路 2 0 0 は、特に制限されないが、J T A G 回路 (Joint Test Action Group、合同試験実施グループ基準にもとづく回路) 2 1、P L L (フェーズ・ロックド・ループ) 分周器 2 2、クロック選択回路 2 3、クロックバッファ 2 4、2 5、スキャンチェーン部 2 6、2 7 を含む。

【 0 0 1 8 】

J T A G 回路 2 1 は、J T A G 規格により定義された 5 個のピンを含み、上記組み合わせ回路 1 0 0 のスキャンテストを制御する。上記 5 個のピンは、テストクロック入力ピン T C K (test clock input)、テストモードセレクト入力ピン T M S (test mode select input)、テストデータ入力ピン T D I (test data input)、テストデータ出力ピン T D O (test data output)、及びテストリセットアクティブロー T R S T (test reset input, active low) とされる。J T A G 回路 2 1 は、入力された各種信号に基づいてスキャンテスト制御のための各種信号を生成する。この信号には、テストクロック信号、テストデータ、及びスキャンモード信号が含まれる。テストクロック信号は後段に配置されたクロック選択回路 2 3 に伝達される。クロック選択回路 2 3 は、J T A G 回路 2 1 から伝達されたテストクロック信号と P L L 分周回路 2 2 で生成されたクロック信号とを選択的に後段のクロックバッファ 2 4、2 5 に伝達する。

【 0 0 1 9 】

スキャンチェーン部 2 6 は、組み合わせ回路 1 0 0 の入力端子側に配置され、特に制限されないが、4 個のスキャンフリップフロップ回路 2 6 1 ~ 2 6 4 が結合されて成る。

【 0 0 2 0 】

スキャンチェーン部 2 7 は、組み合わせ回路 1 0 0 の出力端子側に配置され、特に制限されないが、4 個のスキャンフリップフロップ回路 2 7 1 ~ 2 7 4 が結合されて成る。

【 0 0 2 1 】

上記スキャンフリップフロップ回路 2 6 1 ~ 2 6 4、2 7 1 ~ 2 7 4 は、それぞれデータ入力端子 d、スキャン入力端子 s i d、スキャンモード端子 s e、ク

ロック入力端子 c k、スキャン出力端子 s o d、及びデータ出力端子 q を有する。
。

【0 0 2 2】

スキャンチェーン部 2 6 において、スキャンフリップフロップ回路 2 6 1 のスキャン入力端子 s i d には J T A G 回路 2 1 からテストデータが伝達され、クロック入力端子 c k にはクロックバッファ 2 4 を介してクロック信号が伝達される。スキャンモード端子 s e には J T A G 回路 2 1 からスキャンモード信号が伝達され、データ入力端子 d には図示されない前段回路から 4 ビットデータが伝達される。データ出力端子 q は組み合わせ回路 1 0 0 の入力端子に結合される。テストデータのスキャンイン・スキャンアウトを可能とするため、スキャンフリップフロップ回路 2 6 1 のスキャン出力端子 s o d はスキャンフリップフロップ回路 2 6 2 のスキャン入力端子 s i d に結合され、スキャンフリップフロップ回路 2 6 2 のスキャン出力端子 s o d はスキャンフリップフロップ回路 2 6 3 のスキャン入力端子 s i d に結合され、スキャンフリップフロップ回路 2 6 3 のスキャン出力端子 s o d はスキャンフリップフロップ回路 2 6 4 のスキャン入力端子 s i d に結合される。スキャンフリップフロップ回路 2 6 4 のスキャン出力端子 s o d はスキャンチェーン部 2 7 におけるスキャンフリップフロップ回 2 7 1 のスキャン入力端子 s i d に結合される。このスキャンフリップフロップ回路 2 6 4 のスキャン出力端子 s o d からスキャンチェーン部 2 7 におけるスキャンフリップフロップ回 2 7 1 のスキャン入力端子に至る信号伝達経路は折り返し部 3 0 0 とされる。

【0 0 2 3】

スキャンチェーン部 2 7 において、スキャンフリップフロップ回路 2 7 1 のスキャン入力端子 s i d にはスキャンフリップフロップ回路 2 6 4 のスキャン出力端子から出力されたテストデータが伝達され、クロック入力端子 c k にはクロックバッファ 2 5 を介してクロック信号が伝達される。スキャンモード端子 s e には J T A G 回路 2 1 からスキャンモード信号が伝達され、データ入力端子 d には組み合わせ論理回路 1 0 0 から 4 ビットデータが伝達される。データ出力端子 q は図示されない後段回路に結合される。テストデータのスキャンイン・スキャン

アウトを可能とするため、スキャンフリップフロップ回路 271 のスキャン出力端子 s o d はスキャンフリップフロップ回路 272 のスキャン入力端子 s i d に結合され、スキャンフリップフロップ回路 272 のスキャン出力端子 s o d はスキャンフリップフロップ回路 273 のスキャン入力端子 s i d に結合され、スキャンフリップフロップ回路 273 のスキャン出力端子 s o d はスキャンフリップフロップ回路 274 のスキャン入力端子 s i d に結合される。スキャンフリップフロップ回路 274 のスキャン出力端子 s o d は J T A G 回路 21 に結合され、テスト結果（テストデータ）の回収が可能とされる。

【0024】

図 2 には上記スキャンフリップフロップ回路 261 の構成例が示される。

【0025】

スキャンフリップフロップ回路 261 は、エッジトリガタイプとされ、図 2 に示されるように、セレクタ 11、フリップフロップ回路 12、及び出力バッファ 13 を含んで成る。セレクタ 11 は、スキャンモード端子 s e に伝達されたスキャンモード信号に応じて、データ入力端子 d から入力されたデータと、スキャン入力端子 s i d から入力されたテストデータとを選択的に後段のフリップフロップ回路 12 に伝達する。尚、他のスキャンフリップフロップ回路 262～264、271～274 は上記スキャンフリップフロップ回路 261 と同一構成とされるため、それらの詳細な説明を省略する。

【0026】

上記の構成において、スキャンフリップフロップ回路 261～264、271～274 のスキャンモード端子 s e に伝達されたスキャンモード信号がローレベル状態にされると、通常動作モードとされ、スキャンフリップフロップ回路 261～264、271～274 においては、図 3 に示されるように、データ入力端子 d から入力されたデータが通常クロック信号（PLL 分周回路 22 で生成されたクロック信号）の波形立ち上がりエッジに同期して保持され、データ出力端子 q から出力される。これにより、組み合わせ回路 100 の前段回路（図示せず）からの出力データがスキャンチェーン部 26 を介して組み合わせ回路 100 に伝達され、また、組み合わせ回路 100 の出力データがスキャンチェーン部 27 を

介して後段回路（図示せず）に伝達される。

【0027】

また、スキャンモード信号がハイレベル状態にされると、スキャンシフト動作モードとされ、スキャンフリップフロップ回路261～264，271～274においては、図4に示されるように、スキャン入力端子s i dからのテストデータが選択的にフリップフロップ回路12のデータ入力端子dに伝達される。このデータ入力端子dに伝達されたデータは、クロック入力端子c kに伝達されたクロック信号の波形立ち上がりエッジに同期して保持され、バッファ13を介してスキャン出力端子s o dから出力される。

【0028】

上記組み合わせ回路100のスキャンテストは次のように行うことができる。

【0029】

JTAG回路21からスキャンチェーン部26にテストデータを供給し、組み合わせ回路100への入力データとして任意の値をスキャンチェーン部26に設定する。設定されたデータが組み合わせ回路100に入力され、このとき、組み合わせ回路100から出力されたデータが、データスキャンチェーン部27におけるスキャンフリップフロップ回路271～274に取り込まれる。スキャンフリップフロップ回路271～274に取り込まれたデータは、スキャンシフト動作によりJTAG回路21に回収される。

【0030】

図1に示されるデータパス構造のように、半導体集積回路の自動配置配線前にクロック信号の伝搬順序が分かっている場合には、自動配置配線で生ずるクロックスキューを考慮してスキャンチェーンの接続順序が決定される。すなわち、クロック信号が伝達される方向と反対の方向にスキャンデータが流れるようにスキャンチェーンが接続される。例えば、図1に示されるスキャンチェーン部26において、クロック信号はクロックバッファ24を介してスキャンフリップフロップ回路264，263，262，261の順に伝搬されるのに対して、スキャンデータはスキャンフリップフロップ回路261，262，263，264の順に伝搬される。同様に図1に示されるスキャンチェーン部27において、クロック

信号はクロックバッファ 25 を介してスキャンフリップフロップ回路 274, 273, 272, 271 の順に伝搬されるのに対して、スキャンデータはスキャンフリップフロップ回路 271, 272, 273, 274 の順に伝搬される。このようにクロック信号が伝達される方向と反対の方向にスキャンデータが流れるようにスキャンチェーンが接続されることにより、スキャンテストデータに対してクロック信号の遷移速度を速くできることからホールド違反を回避することができる。

【0031】

スキャンデータはスキャンフリップフロップ回路 271～274 のデータ出力端子 q から出力される 4 ビットデータ相互の位相が極端にずれてしまうのを防止するため、クロック選択回路 23 から出力されたクロック信号をクロックバッファ 24, 25 で分割することにより、スキャンチェーン部 26, 27 に対して同一方向からクロック信号を伝搬するようにしている。そのようなクロック信号の伝搬を可能とするため、スキャンチェーン部 26, 27 は折り返し部 300 によって結合される。しかし、そのようにすると、折り返し部 300 においては、クロックバッファ 25 から出力されるクロック信号の伝達経路と同一方向にデータが伝搬される経路を含むため、それに起因してホールド違反を生ずるおそれがある。つまり、折り返し部 300 は、上記スキャンチェーン部 26 内の上記クロックバッファ 24 に最も近い位置に配置されたスキャンフリップフロップ回路 264 から出力されたスキャンテストデータを、上記スキャンチェーン部 27 内の上記クロックバッファ 25 から最も遠い位置に配置されたスキャンフリップフロップ回路 271 に伝達可能に設けられているため、スキャンテストデータとクロック信号の伝搬方向が同じになり、ここでホールド違反を生ずることが考えられる。しかしながら、上記スキャンチェーン部 26, 27 のビット幅が大きいほど、上記折り返し部による信号伝達経路は長くなり、そこでの配線抵抗値が大きくなるため、そこでのホールド違反を生じにくくなる。すなわち、スキャンテストデータとクロック信号の伝搬方向が同じ場合においてホールド違反を回避するには、互いに結合された二つのスキャンフリップフロップ回路間の遅延時間を、当該二つのスキャンフリップフロップ回路のクロックスキュー差とスキャンフリップ

フロップ回路のホールド時間との和よりも大きくすればよいから、上記のように折り返し部 300 による信号伝達経路が長くなり、そこでの配線抵抗値が大きくなれば、そこで十分な遅延時間を確保することができ、上記折り返し部でのホールド違反をも回避することができる。そこで本例においては、折り返し部 300 の配線抵抗を意識的に大きくするようにしている。例えば配線層の材料が同じ場合には、配線層が細いほど抵抗が大きくなるため、折り返し部 300 の配線層には、クロック信号伝達経路の配線層よりも細いものが用いられる。そのようにすれば、折り返し部 300 における配線抵抗を大きくすることができ、そこで十分な遅延時間を確保し易くなるため、スキャンチェーン部 26, 27 が多段に配置されて折り返し部 300 を有しているにもかかわらず、そこでのホールド違反の発生を回避することができる。

【0032】

上記の例によれば、以下の作用効果を得ることができる。

【0033】

(1) スキャンチェーン部 26 においては、クロック信号はクロックバッファ 24 を介してスキャンフリップフロップ回路 264, 263, 262, 261 の順に伝搬されるのに対して、スキャンデータはスキャンフリップフロップ回路 261, 262, 263, 264 の順に伝搬され、スキャンチェーン部 27 においては、クロック信号はクロックバッファ 25 を介してスキャンフリップフロップ回路 274, 273, 272, 271 の順に伝搬されるのに対して、スキャンデータはスキャンフリップフロップ回路 271, 272, 273, 274 の順に伝搬される。このようにクロック信号が伝達される方向と反対の方向にスキャンデータが流れるようにスキャンチェーンが接続されることにより、スキャンテストデータに対してクロック信号の遷移速度を速くできることからホールド違反を回避することができる。

【0034】

(2) 折り返し部 300 においては、スキャンテストデータとクロック信号の伝搬方向が同じになり、ここでホールド違反を生ずることが考えられるが、スキャンチェーン部 26, 27 のビット幅が大きいほど、上記折り返し部による信号

伝達経路が長くなり、そこでの配線抵抗値が大きくなるため、そこで十分な遅延時間を確保することができ、上記折り返し部でのホールド違反をも回避することができる。

【0035】

(3) 配線層の材料が同じ場合には、配線層が細いほど抵抗が大きくなるため、折り返し部 3 0 0 の配線層には、クロック信号伝達経路の配線層よりも細いものを用いることで、折り返し部 3 0 0 の配線抵抗を大きくすることができ、そこで十分な遅延時間を確保することによって、上記折り返し部でのホールド違反を回避することができる。

【0036】

次に、別の構成例について説明する。

【0037】

図 5 には組み合わせ回路とスキャンチェーン部の別の構成例が示される。

【0038】

図 5 に示されるように、組み合わせ回路 1 0 0 が 2 入力アンドゲート 1 0 0 1, 1 0 0 2, 1 0 0 3, 1 0 0 4 によって形成される場合のように、組み合わせ回路 1 0 0 の入力端子と出力端子との数が異なる場合には、それに対応して、スキャン診断回路におけるスキャンチェーンが構成される。例えば図 5 に示される構成では、2 入力アンドゲート 1 0 0 1, 1 0 0 2, 1 0 0 3, 1 0 0 4 における一方の入力端子に対応するスキャンチェーン部 2 8 と、2 入力アンドゲート 1 0 0 1, 1 0 0 2, 1 0 0 3, 1 0 0 4 における他方の入力端子に対応するスキャンチェーン部 2 9 と、2 入力アンドゲート 1 0 0 1, 1 0 0 2, 1 0 0 3, 1 0 0 4 の出力端子に対応するスキャンチェーン部 3 1 とが配置される。スキャンチェーン部 2 8 は 4 個のスキャンフリップフロップ回路 2 8 1 ~ 2 8 4 を含んで成り、スキャンチェーン部 2 9 は 4 個のスキャンフリップフロップ回路 2 9 1 ~ 2 9 4 を含んで成り、スキャンチェーン部 3 1 は 4 個のスキャンフリップフロップ回路 3 1 1 ~ 3 1 4 を含んで成る。スキャンフリップフロップ回路 2 8 1 ~ 2 8 4, 2 9 1 ~ 2 9 4, 3 1 1 ~ 3 1 4 は、何れも図 2 に示されるのと同構成とされ、図 3 及び図 4 に示されるように各動作モードに応じて有効パスが形成さ

れる。また、図 1 におけるクロック選択回路 2 3 から伝達されたクロック信号を取り込むクロックバッファと、その出力をスキANCHェーン部 2 8, 2 9, 3 1 に分配するためのクロックバッファ 3 2, 3 3, 3 4 が設けられる。尚、図 5 においてはスキANCHェーン部 2 8, 2 9 及び 3 1 におけるスキANCH論理が省略されている。特に制限されないが、スキANCHェーン部 2 8, 1 9, 3 1 の夫々は、仮想線 2 8 0, 2 9 0, 3 1 0 上に一列に配置される。このように配置することにより面積を低減することが出来る。

【0 0 3 9】

図 6 には、図 5 に示される構成において、スキANCHェーン部 2 8, 2 9 及び 3 1 におけるスキANCH論理を加えた構成例が示される。

【0 0 4 0】

図 6 に示されるスキANCH論理は基本的には図 1 に示されるのと同様とされる。例えば、スキANCHェーン部 2 8 において、スキANCHフリップフロップ回路 2 8 1 のスキANCH入力端子 *s i d* には図 1 における J T A G 回路 2 1 からテストデータが伝達され、クロック入力端子 *c k* にはクロックバッファ 3 2 を介してクロック信号が伝達される。スキANCHモード端子 *s e* には図 1 に示される J T A G 回路 2 1 からスキANCHモード信号が伝達され、データ入力端子 *d* には図示されない前段回路から 4 ビットデータが伝達される。データ出力端子 *q* からの出力データは組み合わせ回路 1 0 0 におけるアンドゲート 1 0 0 1 の一方の入力端子に伝達される。テストデータのスキANCHイン・スキANCHアウトを可能とするため、スキANCHフリップフロップ回路 2 8 1 のスキANCH出力端子 *s o d* はスキANCHフリップフロップ回路 2 8 2 のスキANCH入力端子 *s i d* に結合され、スキANCHフリップフロップ回路 2 8 2 のスキANCH出力端子 *s o d* はスキANCHフリップフロップ回路 2 8 3 のスキANCH入力端子 *s i d* に結合され、スキANCHフリップフロップ回路 2 8 3 のスキANCH出力端子 *s o d* はスキANCHフリップフロップ回路 2 8 4 のスキANCH入力端子 *s i d* に結合される。スキANCHフリップフロップ回路 2 8 4 のスキANCH出力端子 *s o d* はスキANCHェーン部 2 9 におけるスキANCHフリップフロップ回路 2 9 1 のスキANCH入力端子に結合される。スキANCHフリップフロップ回路 2 8 4 のスキANCH出力端子 *s o d* からスキANCHェーン部 2 9 におけるスキANCHフリップ

フリップフロップ回路 2 9 1 のスキャン入力端子に至る信号伝達経路は折り返し部 4 0 0 とされる。

【 0 0 4 1 】

スキャンチェーン部 2 9 において、スキャンフリップフロップ回路 2 9 1 のスキャン入力端子 *s i d* には上記スキャンチェーン部 2 8 におけるスキャンフリップフロップ回路 2 8 4 からテストデータが伝達され、クロック入力端子 *c k* にはクロックバッファ 3 3 を介してクロック信号が伝達される。スキャンモード端子 *s e* には図 1 に示される J T A G 回路 2 1 からスキャンモード信号が伝達され、データ入力端子 *d* には図示されない前段回路から 4 ビットデータが伝達される。データ出力端子 *q* からの出力データは組み合わせ回路 1 0 0 におけるアンドゲート 1 0 0 1 の他方の入力端子に伝達される。テストデータのスキャンイン・スキャンアウトを可能とするため、スキャンフリップフロップ回路 2 9 1 のスキャン出力端子 *s o d* はスキャンフリップフロップ回路 2 9 2 のスキャン入力端子 *s i d* に結合され、スキャンフリップフロップ回路 2 9 2 のスキャン出力端子 *s o d* はスキャンフリップフロップ回路 2 9 3 のスキャン入力端子 *s i d* に結合され、スキャンフリップフロップ回路 2 9 3 のスキャン出力端子 *s o d* はスキャンフリップフロップ回路 2 9 4 のスキャン入力端子 *s i d* に結合される。スキャンフリップフロップ回路 2 9 4 のスキャン出力端子 *s o d* はスキャンチェーン部 3 1 におけるスキャンフリップフロップ回路 3 1 1 のスキャン入力端子 *s i d* に結合される。スキャンフリップフロップ回路 2 9 4 のスキャン出力端子 *s o d* からスキャンチェーン部 3 1 におけるスキャンフリップフロップ回路 3 1 1 のスキャン入力端子 *s i d* に至る信号伝達経路は折り返し部 5 0 0 とされる。

【 0 0 4 2 】

スキャンチェーン部 3 1 において、スキャンフリップフロップ回路 3 1 1 のスキャン入力端子 *s i d* には上記スキャンチェーン部 2 9 におけるスキャンフリップフロップ回路 2 9 4 からテストデータが伝達され、クロック入力端子 *c k* にはクロックバッファ 3 4 を介してクロック信号が伝達される。スキャンモード端子 *s e* には図 1 に示される J T A G 回路 2 1 からスキャンモード信号が伝達され、データ入力端子 *d* には組み合わせ回路 1 0 0 から 4 ビットデータが伝達される。

データ出力端子 q からの出力データは、図示されない後段回路で伝達される。テストデータのスキャンイン・スキャンアウトを可能とするため、スキャンフリップフロップ回路 311 のスキャン出力端子 s o d はスキャンフリップフロップ回路 312 のスキャン入力端子 s i d に結合され、スキャンフリップフロップ回路 312 のスキャン出力端子 s o d はスキャンフリップフロップ回路 313 のスキャン入力端子 s i d に結合され、スキャンフリップフロップ回路 313 のスキャン出力端子 s o d はスキャンフリップフロップ回路 314 のスキャン入力端子 s i d に結合される。スキャンフリップフロップ回路 314 のスキャン出力端子 s o d はスキャンチェーン出力として図 1 に示され JTAG 回路 21 に伝達される。尚、クロックバッファ 32, 33, 34 の夫々は、クロック信号を供給するスキャンチェーン部の最終的にデータを出力するフリップフロップ回路に近い位置に配置される。

【0043】

図 7 には、図 6 に示される回路部分のレイアウト例が示される。また、図 8 には、スキャンフリップフロップ回路 1 個分の端子レイアウト例が拡大して示される。

【0044】

配線層は、特に制限されないが、メタル第 1 層、メタル第 2 層、及びメタル第 3 層から成る 3 層構造とされる。配線層によって単位長さ当たりの抵抗値が異なるとき、抵抗値が大きな配線層を利用して上記折り返し部 400, 500 が形成され、それよりも抵抗値が小さな配線層を利用して、クロックバッファ 32, 33, 34 から出力されるクロック信号の伝達経路が形成される。図 7 に示されるレイアウト例では、メタル第 1 層が他の配線層に比べて最も抵抗値が大きいため、このメタル第 1 層を利用して上記折り返し部 400, 500 が形成され、それよりも抵抗値が小さなメタル第 3 層を利用してクロックバッファ 32, 33, 34 から出力されるクロック信号の伝達経路が形成される。尚、電源配線は、主として図示しない更に上層の配線層を使用し、セルへの最終的な電源供給は、メタル第 1 層を使用する。このように折り返し部 400, 500 の配線抵抗を大きくすることで、折り返し部 400, 500 において十分な遅延時間を得ることがで

き、それによってホールド違反の発生を回避することができる。

【0045】

また、上記のように折り返し部400、500の抵抗を、クロック信号伝達経路における抵抗よりも大きくすることで、折り返し部400、500でのデータ伝達を遅延させただけではホールド違反を十分に回避することができない場合には、図9に示されるように、折り返し部400、500の途中に、信号遅延を可能とするディレイバッファ36、37などの遅延素子を設けることができる。このようにディレイバッファ36、37などの遅延素子を設け、折り返し部400、500において十分なデータ遅延を得ることによってホールド違反を回避することができる。半導体集積回路においてデータバスのような高密度実装が行われている部位では、ディレイバッファ等の遅延素子の挿入するスペースを確保するものは困難とされるが、折り返し部400、500におけるディレイバッファ36、37等の遅延素子を挿入する領域をデータバス以外の部位に予め確保しておき、ディレイバッファ等の遅延素子の挿入の必要性が生じた場合に、上記領域を利用してディレイバッファ36、37等の遅延素子を形成するようにすれば、ディレイバッファ36、37等の遅延素子を必要に応じて容易に挿入することができる。

【0046】

また、図10に示されるように、クロックバッファ32の出力信号が伝達されるクロックバッファ39と、上記クロックバッファ32、39の出力信号を選択的にスキャンフリップフロップ回路291～294に伝達するためのセクタ38とを設けることができる。スキャン診断が行われる場合には、セクタ38によってクロックバッファ39の出力信号が選択される。これにより、スキャンチェーン部29に供給されるクロック信号は、スキャンチェーン部31に供給されるクロック信号よりも遅延されることから、スキャンフリップフロップ回路294とスキャンフリップフロップ回路311との間においては、クロック信号の到着の遅いスキャンフリップフロップ回路に対して、クロック信号の到着の早いスキャンフリップフロップ回路を接続しているのと等価になり、折り返し部500に起因するホールド違反を回避することができる。

【0047】

上記の例ではスキャンフリップフロップ回路が規則的に配列されている場合について説明したが、このスキャンフリップフロップ回路が分散配置される場合においてもホールド違反を回避することができる。例えば図11に示されるように、所定のクロックバッファ40によってクロックが供給されるサービスエリアを指定し、このサービスエリア内に分散配置されるスキャンフリップフロップ回路①～⑧までのクロック信号の遅延時間を計算し、この遅延時間の大きなスキャンフリップフロップ回路から順にスキャンチェーンを接続する。Scan inはテストデータ入力を意味し、Scan outはテストデータの出力を意味する。スキャンフリップフロップ回路は、①～⑧の順にスキャンチェーンの接続が行われる。このような接続によれば、スキャンフリップフロップ回路①～⑧が分散配置されているにもかかわらず、スキャンテストデータの搬送方向に対して逆の方向からクロック信号を供給する位置にクロックドライバが配置されることから、スキャンテストデータに対してクロック信号の遷移速度を速くでき、ホールド違反を回避することができる。尚、レイアウトの途中で、期待する接続順を守ることが困難な場合には、ディレイバッファを挿入してホールド対策を行うことができる。

【0048】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0049】

例えば、組み合わせ回路は2入力アンドゲート以外とすることができる。

【0050】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるJTAG規格によるスキャン診断を行う場合について説明したが、本発明はそれに限定されるものではなく、各種スキャン診断に利用することができる。

【0051】

本発明は、少なくともスキャンテストを行うことを条件に適用することができる。

【0052】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0053】

すなわち、本願発明を適用することにより半導体集積回路のテストを容易に行うことができる。

【図面の簡単な説明】

【図1】

本発明にかかる半導体集積回路における主要部の構成例回路図である。

【図2】

上記半導体集積回路に含まれるスキャンフリップフロップ回路の構成例回路図である。

【図3】

上記スキャンフリップフロップ回路の通常動作時における有効パスの説明図である。

【図4】

上記スキャンフリップフロップ回路のスキャンシフト動作時における有効パスの説明図である。

【図5】

上記半導体集積回路に含まれる組み合わせ回路の具体的な構成を示す回路図である。

【図6】

図5に示される回路構成においてスキャン論理が追加された回路図である。

【図7】

図6に示される回路構成を採用した場合のチップレイアウト説明図である。

【図8】

上記フリップフロップ回路のセルレイアウトの説明図である。

【図 9】

上記半導体集積回路に含まれるスキャン診断回路の別の構成例を示す回路図である。

【図 1 0】

上記半導体集積回路に含まれるスキャン診断回路の別の別の構成例を示す回路図である。

【図 1 1】

上記半導体集積回路に含まれるスキャン診断回路の別の別の構成例を示す回路図である。

【符号の説明】

2 1 J T A G 回路

2 2 P L L 分周回路

2 3 クロック選択回路

2 4, 2 5, 3 2, 3 3, 3 4, 3 5, 3 9, 4 0 クロックバッファ

2 6, 2 7, 2 8, 2 9, 3 1 スキャンチェーン回路

3 6, 3 7 デイレイバッファ

3 8 セレクタ

1 0 0 組み合わせ回路

2 0 0 スキャン診断回路

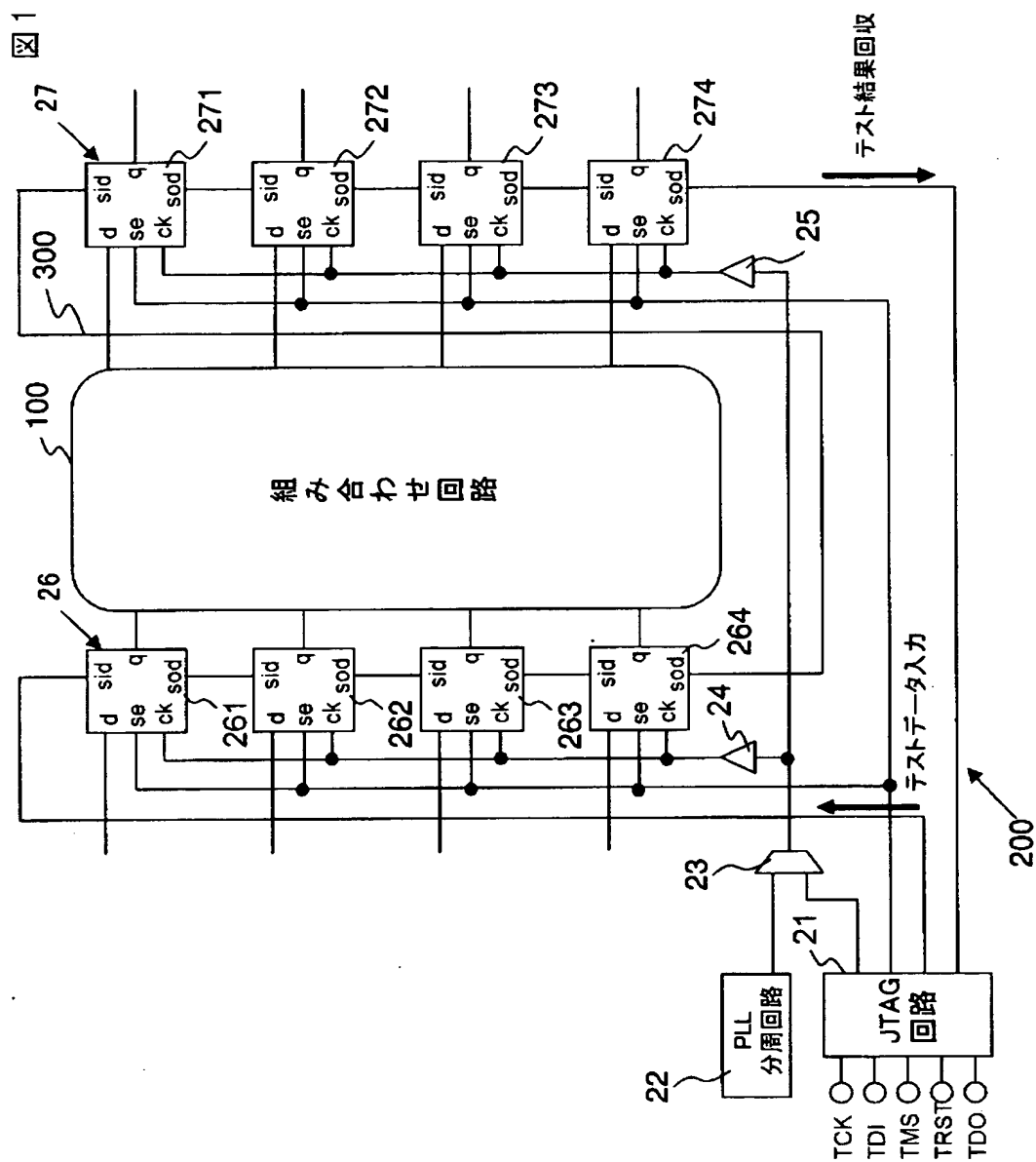
3 0 0, 4 0 0, 5 0 0 折り返し部

2 8 0, 2 9 0, 3 1 0 フリップフロップ回路が配置される位置を示す仮想

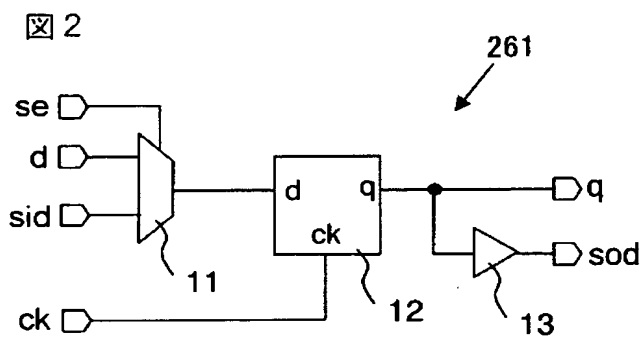
線

【書類名】 図面

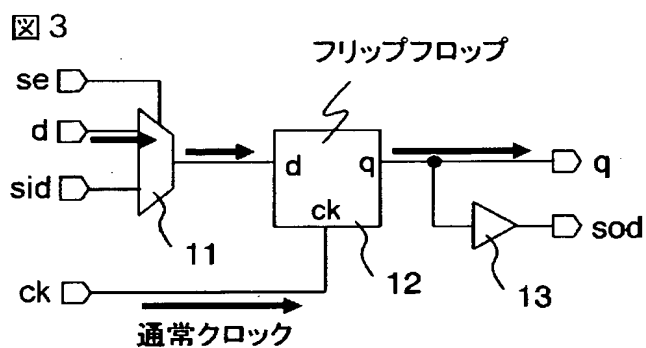
【圖 1】



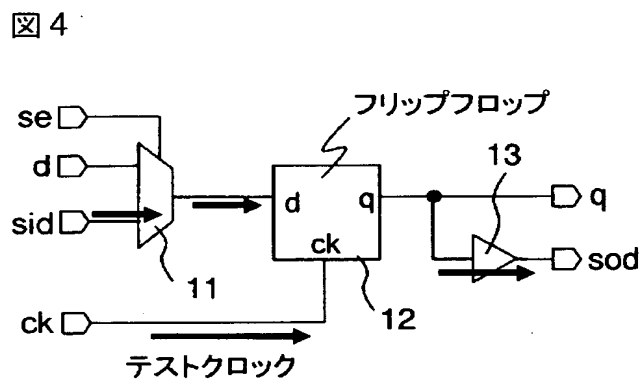
【図 2】



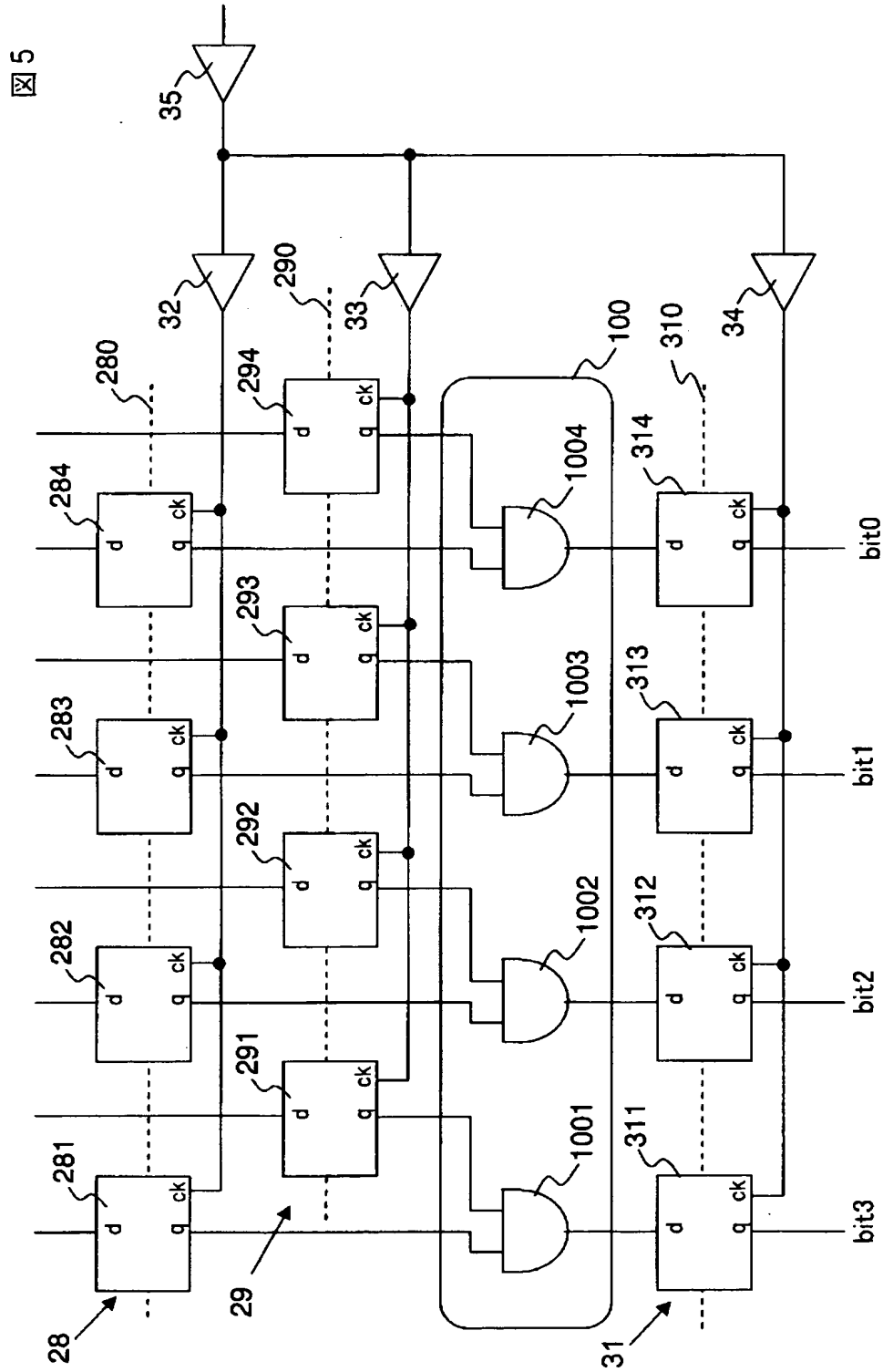
【図 3】



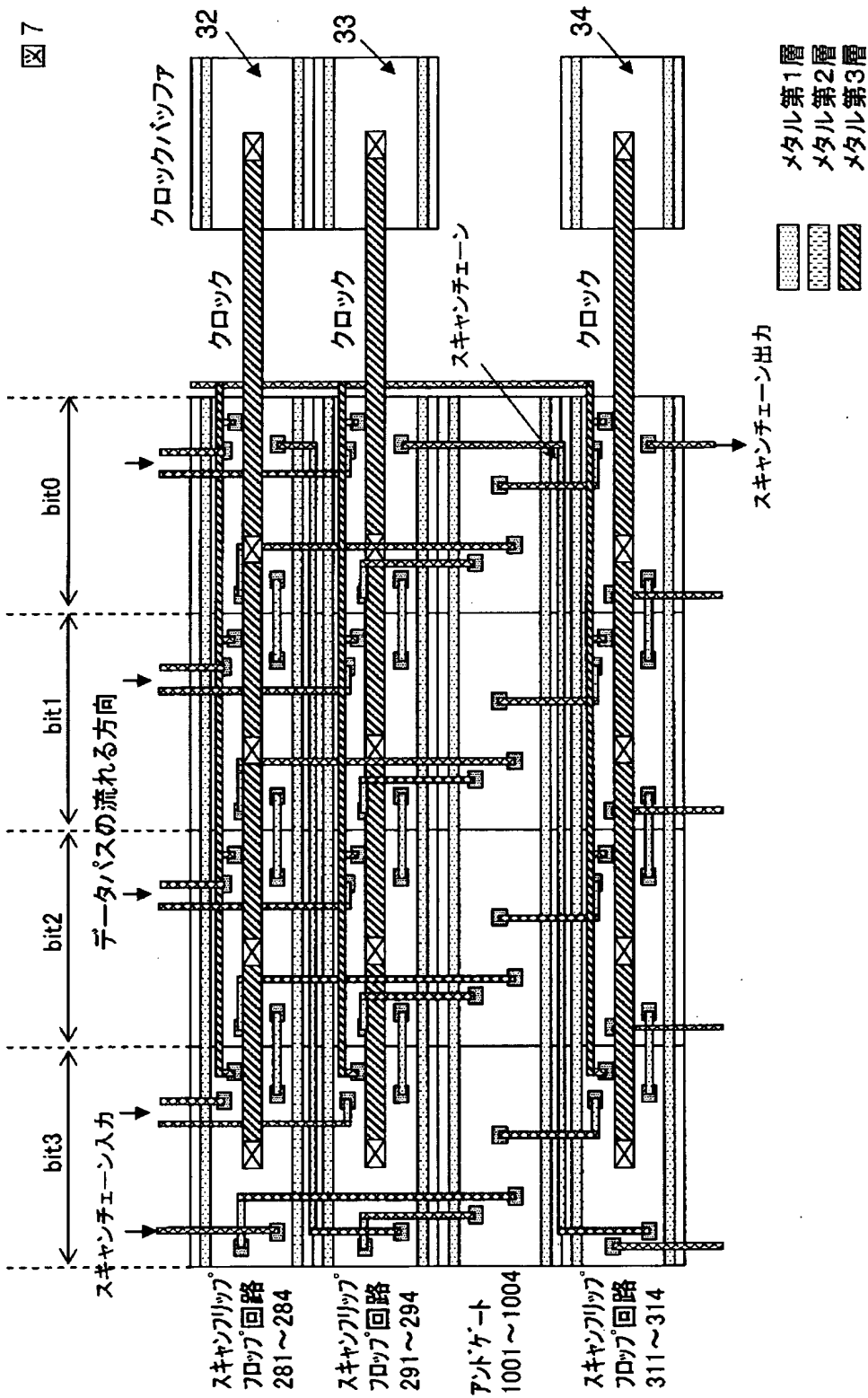
【図 4】



【図 5】

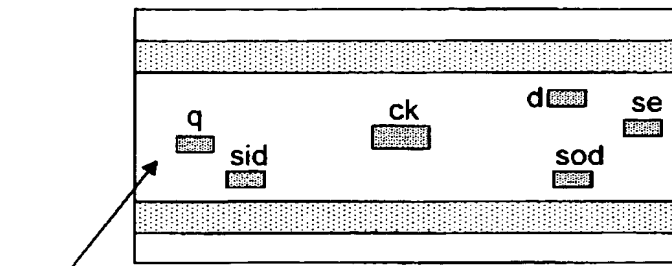


【図 7】



【図 8】

図 8

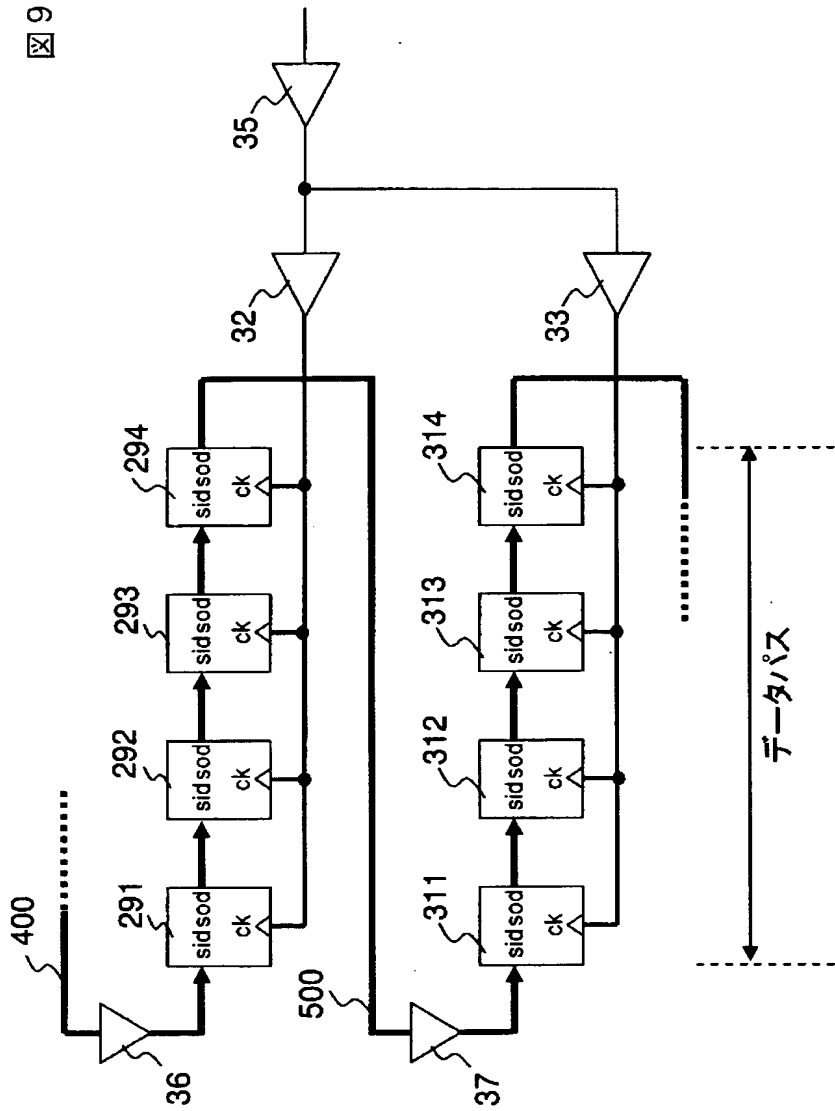


281~284

291~294

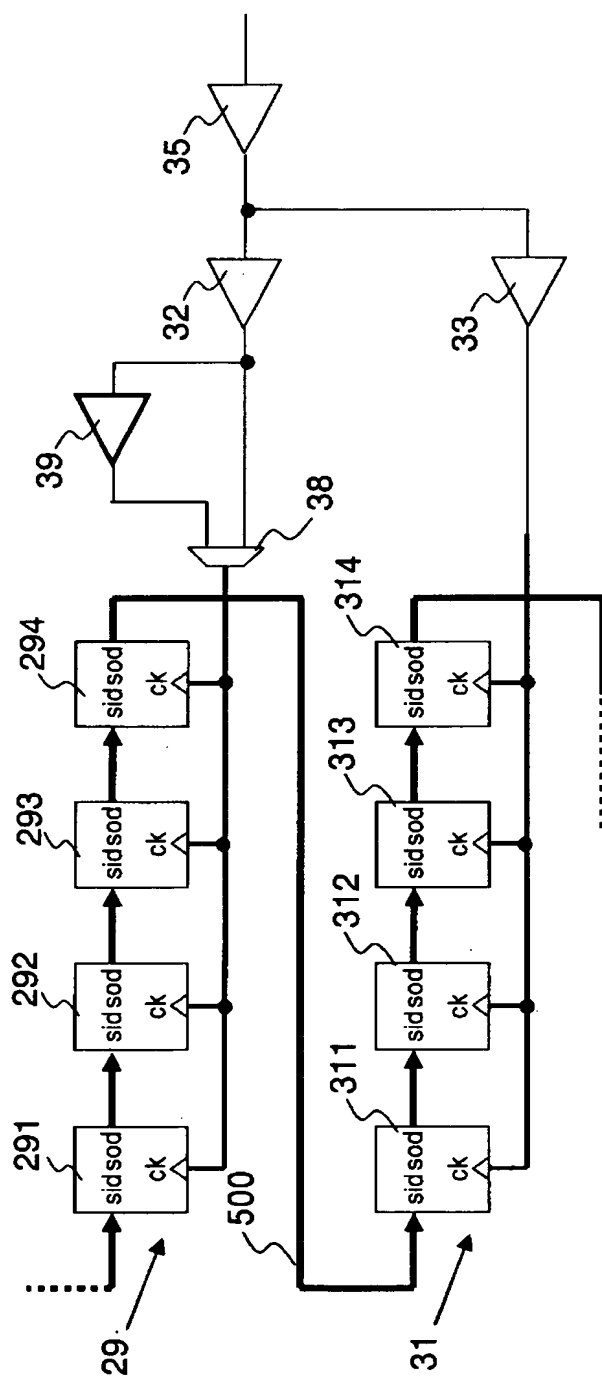
311~314

【図 9】



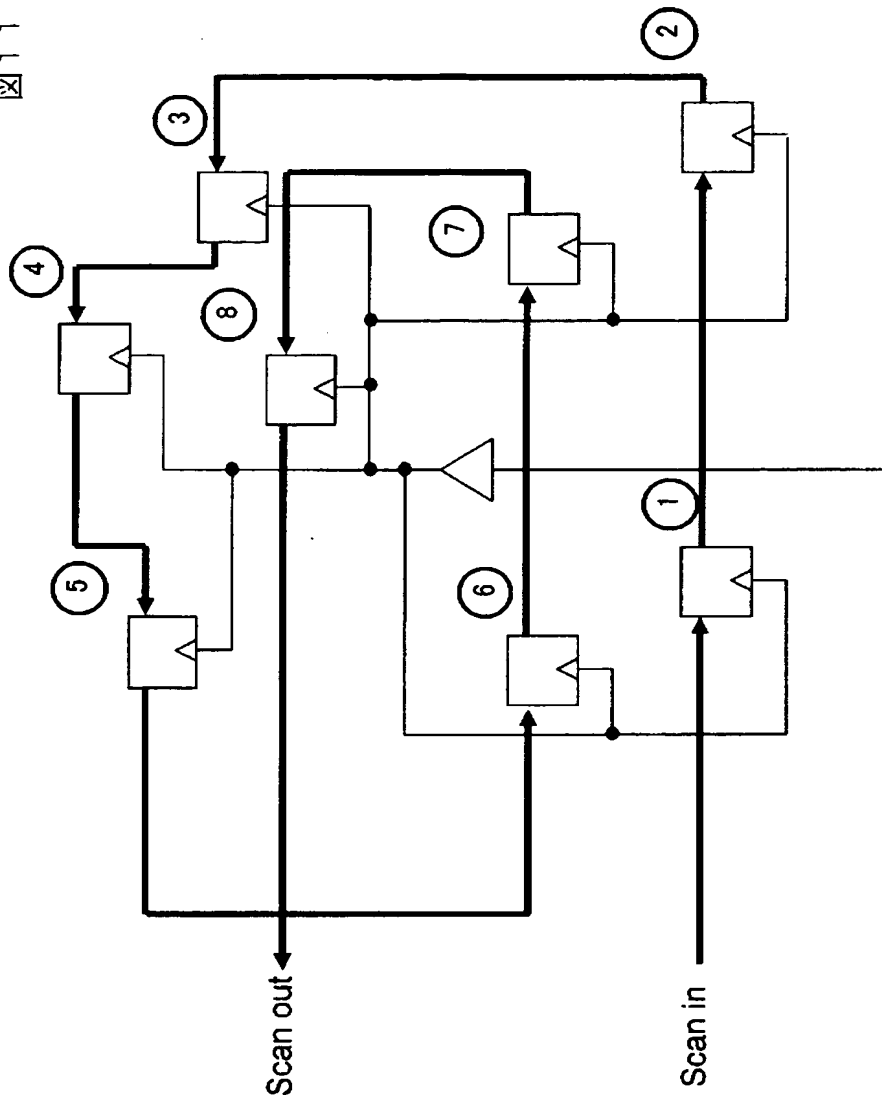
【図10】

図10



【図 11】

図 11



【書類名】 要約書

【要約】

【課題】 スキャン診断回路におけるホールド違反の発生を回避する。

【解決手段】 クロック信号が伝達される方向と反対の方向にスキャンデータが流れるようにスキャンチェーン（26, 27）を接続することにより、スキャンテストデータに対してクロック信号の遷移速度を速くし、さらに、折り返し部（300）の抵抗をクロック信号伝達経路における抵抗よりも大きくすることで折り返し部でのデータ伝達を遅延させてホールド違反の発生を回避する。

【選択図】 図1

特願 2 0 0 3 - 0 9 4 8 4 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所